

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

w0167

(11)Publication number : 11-103328

(43)Date of publication of application : 13.04.1999

(51)Int.Cl.

H04L 29/06

H04J 3/00

H04L 7/00

(21)Application number : 09-264010

(71)Applicant : SONY CORP

(22)Date of filing : 29.09.1997

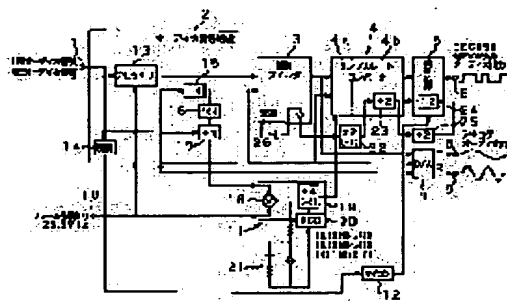
(72)Inventor : NAKAMURA SHINJI

(54) DIGITAL SIGNAL CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration in sound quality, to suppress large-sized configuration and to reduce the cost in the case of converting a digital audio signal with a format in compliance with a signal transmission standard into a digital audio signal with a format in compliance with other signal transmission standard.

SOLUTION: The converter converts a digital audio signal with a DV format in compliance with the IEEE 1394 into a digital audio signal with a format of the IEC 958 standard, and is provided with a 1st oscillation circuit 11 for the 1394 audio signal, a 2nd oscillation circuit 26 for the 958 audio signal, a sample rate converter 4 that converts the 1394 audio signal into the 958 audio signal based on clock signals from the 1st oscillation circuit 11 and the 2nd oscillation circuit 26, a microcomputer 12 that converts the format of the digital audio signal subject to sampling rate conversion into the 958 audio signal and a signal processing circuit 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Copyright (C); 1998,2000 Japan Patent Office

(43)公開日 平成11年(1999)4月13日

審査請求 未請求 請求項の数6 OL (全 17 頁)

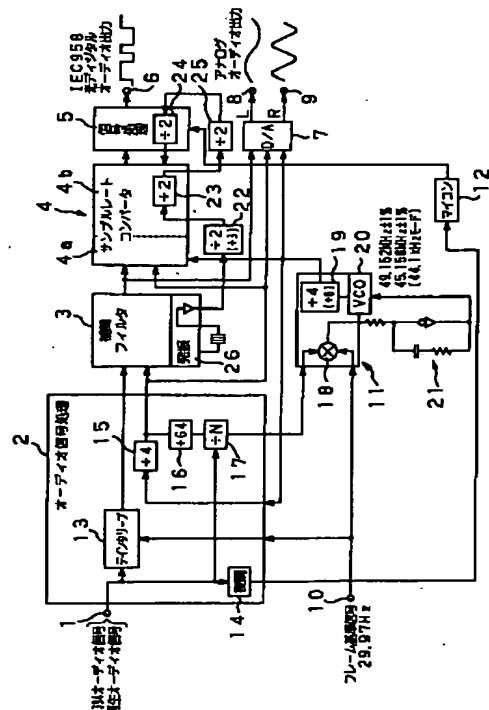
(74)代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 デジタル信号変換装置

(57) 【要約】

【課題】 ある信号伝送規格に準拠したフォーマットのデジタルオーディオ信号を他の信号伝送規格に準拠したフォーマットのデジタルオーディオ信号に変換する場合に、音質劣化を防止し、装置構成の大型化とコスト上昇を抑える。

【解決手段】 IEEE1394規格のDVフォーマットのデジタルオーディオ信号をIEC958規格のデジタルオーディオ信号に変換するものであり、1394オーディオ信号用の第1の発振回路11と、958オーディオ信号用の第2の発振回路26と、第1の発振回路26と第2の発振回路26からのクロック信号に基づいて1394オーディオ信号を958オーディオ信号に変換するサンプルレートコンバータ4と、サンプリングレート変換がなされたデジタルオーディオ信号のフォーマットを、958オーディオ信号にフォーマット変換するマイクロコンピュータ12及び信号処理回路5とを有する。



【特許請求の範囲】

【請求項1】 第1の信号伝送規格に準拠する第1のフォーマットのデジタル信号を、第2の信号伝送規格に準拠する第2のフォーマットのデジタル信号に変換するデジタル信号変換装置において、

上記第1のフォーマットのデジタル信号のサンプリング周波数として許容されている第1の許容周波数偏差内で発振する第1の発振手段と、

上記第2のフォーマットのデジタル信号のサンプリング周波数として許容されている第2の許容周波数偏差内で発振する第2の発振手段と、

上記第1の発振手段からの第1のクロック信号と上記第2の発振手段からの第2のクロック信号とに基づいて、上記第1のフォーマットのデジタル信号のサンプリングレートを上記第2のフォーマットのデジタル信号のサンプリングレートに変換するデジタル式サンプルレート変換手段と、

上記デジタル式サンプルレート変換手段にてサンプリングレート変換がなされたデジタル信号のフォーマットを、上記第2のフォーマットに変換するフォーマット変換手段とを有することを特徴とするデジタル信号変換装置。

【請求項2】 上記第1のフォーマットと第2のフォーマットには、それぞれ複数のサンプリング周波数に対応する複数のモードが存在し、

上記第1の発振手段は、上記複数のモードのうち最も高いサンプリング周波数のモードに対応する高周波数クロック信号を生成する高周波数クロック信号生成手段と、当該高周波数クロック信号を分周して他のモードに対応する低周波数クロック信号を生成する低周波数クロック信号生成手段とを有し、当該高周波数クロック信号又は低周波数クロック信号の何れかを上記第1のクロック信号として出力し、

上記第2の発振手段は、上記複数のモードのうち最も高いサンプリング周波数のモードに対応する高周波数クロック信号を生成する高周波数クロック信号生成手段と、当該高周波数クロック信号を分周して他のモードに対応する低周波数クロック信号を生成する低周波数クロック信号生成手段とを有し、当該高周波数クロック信号又は低周波数クロック信号の何れかを上記第2のクロック信号として出力することを特徴とする請求項1記載のデジタル信号変換装置。

【請求項3】 上記フォーマット変換手段は、上記第1のフォーマットのデジタル信号に付加されている第1のコード情報に基づいて上記第2のフォーマットのデジタル信号に付加される第2のコード情報を生成するコード情報生成手段と、上記デジタル式サンプルレート変換手段にてサンプリングレート変換がなされたデジタル信号に対して上記第2のコード情報を付加するコード情報付加手段とを有することを特徴とする請求項1記

載のデジタル信号変換装置。

【請求項4】 上記第1のフォーマットの複数チャンネルのデジタル信号を、上記第2のフォーマットで使用可能なチャンネル数のデジタル信号に変換するチャンネル変換手段を設けることを特徴とする請求項1記載のデジタル信号変換装置。

【請求項5】 上記チャンネル変換手段は、複数チャンネルの何れかを選択するチャンネル切換手段と、複数チャンネルを混合するチャンネル混合手段と、複数チャンネルから所定数のチャンネルを生成するチャンネル生成手段とを有することを特徴とする請求項4記載のデジタル信号変換装置。

【請求項6】 上記第1の信号伝送規格はIEEE1394規格、上記第2の信号伝送規格はIEC958規格であり、

上記第1、第2のデジタル信号はデジタルオーディオ信号であることを特徴とする請求項1記載のデジタル信号変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ある信号伝送規格のデジタル信号を別の信号伝送規格のデジタル信号に変換するデジタル信号変換装置に関する。

【0002】

【従来の技術】 デジタル信号の伝送規格としては、例えばIEC (International Electrotechnical Commission: 国際電気技術標準機関) やIEEE (Institute of Electrical and Electronics Engineers: 米国電気電子技術者協会) による規格など、多数の規格が存在する。このなかで例えばIEEE1394は、デジタルビデオレコーダ同士の接続やデジタルビデオカメラとコンピュータとの間の接続といったマルチメディア用途に向くものとして注目されている。

【0003】 上記IEEE1394規格について説明する。なお、以下の説明ではIEEE1394規格を単に1394規格と呼ぶ。

【0004】 1394規格では、2組のツイストペア線を用いて伝送が行われる。その伝送方法は、1方向の伝送にツイストペア線を2組とも使う、いわゆる半2重の通信である。この通信法には、DSコーディングと呼ばれる通信方法が採用されている。これは、ツイストペア線の片側にデータを、他方にストローブと呼ばれる信号を送り、2つの信号の排他的論理和をとることで、受信側でクロックを再現するというものである。

【0005】 1394規格のデータレートは、98.304Mbps (S100)、196.608Mbps (S200)、393.216Mbps (S400) の3種類が定義されており、高速のレートに対応した機器はそれより遅いレートの機器をサポートしなければならない、いわゆる上位互換性が定められている。

【0006】各機器は、最大26個までのポートを持つことが許されており、各機器のポートを接続することで最大63台までの機器をネットワーク化することができる。1394規格では、その接続時にバスの初期化処理が行われ、複数の機器の接続を行うとツリー構造が自動的に内部にて構成される。その後、各機器のアドレスが自動的に割り振られる。

【0007】1394規格上では、1台の機器が送信した信号を他の機器が中継することで、ネットワーク内の全ての機器に同じ内容の信号を伝えることが可能である。そのため、無秩序な送受信を防止するため、各機器は送信を開始する前にバスの使用権を調停する必要がある。バスの使用権を得るためには、先ずバスが開放されるのを待ち、ツリー上の親機に対してバス使用権の要求信号を送る。そして、要求を受けた親機は、さらなる親機に信号を中継し、要求信号は最終的には最上位の親機であるルートにまで達する。ルートは、要求信号を受けると使用許可信号を返し、許可を受けた機器は通信を行うことが可能となる。但し、このとき複数の機器から同時に要求信号が出された場合には、1台にのみ許可信号が与えられ、他の要求は拒否される。

【0008】このように、1394規格上は、バスの使用権を奪い合いながら、複数の機器が1つのバスを時分割多重で使用しているといえる。しかし、ビデオ信号やオーディオ信号などのリアルタイム性を必要とするデータにおいては、一定時間間隔で通信が保証されなければ、データの欠落を起こす可能性がある。そこで、1394規格ではこのようなデータをアイソクロノス (Isynchronous) と呼ばれる通信方式を使用して伝送する。すなわち、先のバス初期化の際に管理ノードが選ばれており、アイソクロノス通信で送信する機器は管理ノードから必要な帯域の割り当てを受ける。ルートは125 μ s毎にサイクルスタートパケットを送信し、帯域の割り当てを受けた機器はサイクルスタートパケットに続けてアイソクロノスパケットを送信する。このような処理を行うことで、帯域の割り当てを受けた機器は、125 μ s毎に必ず送信する機会を得ることが出来、データの欠落を防止することが可能になる。

【0009】1394規格のアイソクロノス通信を用いて、デジタルビデオレコーダにてデジタルビデオ及びデジタルオーディオ信号を送る際の信号フォーマットを、以下の説明では例えばAVプロトコルと呼ぶことにする。この信号フォーマットでは、ビデオテープ上のビデオ信号 (例えば圧縮されたビデオ信号) やオーディオ信号がDIFブロックと呼ばれる80バイトのブロックデータの集まりとして扱われる。

【0010】テレビジョン標準放送方式の525/60システム (いわゆるNTSC方式) の場合、150DIFブロックで1DIFシーケンスを構成しており、10DIFシーケンスが1ビデオフレームとなっている。ア

イソクロノス通信では125 μ s毎に1パケットを伝送しているため、1パケット当たり29.97 \times 10 \times 150 \times 125 \times 10 $-6=5.619$ DIFブロックを伝送すればよく、実際には端数を切り上げて6DIFブロックを1パケットとしている。結果、1ビデオフレーム分のデータは、図7に示すような250パケットにて伝送されることになる。

【0011】1つのアイソクロノスパケットの構造を図8に示す。この図8において、パケットの最初の32ビットは、1394規格で規定されたパケットヘッダである。ヘッダCRCの後からデータCRCの前までにあるデータ部は1394規格ではデータフィールドとして定義されている部分であるが、この部分の先頭にオーディオ・ビデオ信号の情報であることを表すためのCIPへと呼ばれるヘッダがこのAVプロトコルでは追加されている。

【0012】CIPヘッダのSYTフィールドは、フレーム同期をかけるためのタイムスタンプである。ビデオ信号の通信ではフレーム同期信号を送る必要があり、そのため1394規格で規定されているサイクルタイムを用いたタイムスタンプをビデオフレームの先頭に送るようになっている。サイクルタイムは、1394規格の基本クロックである24.576MHzを数えるカウンタで、ルートは自分のカウント値をサイクルスタートパケットに入れて送信している。そして、各ノードがそれを自分のサイクルタイムにコピーすることで、サイクルタイムの同期をとっている。

【0013】ビデオ信号を送信する場合、フレームの先頭におけるサイクルタイムの値に、通信の最大ディレイ量を加えた値をSYTとしてCIPヘッダに入れている。これにより、図9に示すように、受信側でサイクルタイムと比較することで最大ディレイ分だけ遅れたフレーム同期信号を生成することが可能になる。

【0014】図10には、上記1394規格のデジタルオーディオ・ビデオ信号を記録/再生及び外部との間で入出力するデジタルビデオレコーダの構成例を示す。

【0015】この図10において、ビデオ入出力端子100とオーディオ入出力端子101は、アナログビデオ信号とアナログオーディオ信号が入出力される端子である。

【0016】A/Dコンバータ、D/Aコンバータ102は、上記ビデオ入出力端子100から入力されたアナログビデオ信号に対してはデジタル化を行い、逆にビデオ圧縮/伸長回路104から供給されるデジタルビデオ信号に対してはアナログ化を行う。また、A/Dコンバータ、D/Aコンバータ103は、上記オーディオ入出力端子101から入力されたアナログオーディオ信号に対してはデジタル化を行い、逆にオーディオインターリーブ/デインターリーブ回路105から供給され

るデジタルオーディオ信号に対してはアナログ化を行う。

【0017】ビデオ圧縮／伸長回路104は、A/Dコンバータ102から入力されたデジタルビデオ信号に対しては圧縮処理を施し、逆にマルチプレクサ／デマルチプレクサ(MPX/DMPX)106から供給される圧縮デジタルビデオ信号に対しては伸長処理を施す。また、オーディオインターリーブ／デインターリーブ回路105は、A/Dコンバータ103から入力されたデジタルオーディオ信号に対してはインターリーブ処理を施し、逆にマルチプレクサ／デマルチプレクサ106から供給されるインターリーブが施されたデジタルオーディオ信号に対してはデインターリーブ処理を施す。

【0018】マルチプレクサ／デマルチプレクサ106は、ビデオ圧縮／伸長回路104からの圧縮デジタルビデオ信号とオーディオインターリーブ／デインターリーブ回路105からのインターリーブされたデジタルオーディオ信号を多重化(マルチプレクス)し、逆に、多重化されたデータが供給されたときには当該多重化データから圧縮デジタルビデオ信号とインターリーブされたデジタルオーディオ信号を分離(デマルチプレクス)する。

【0019】記録再生信号処理(FEC)回路107は、上記多重化データに対して誤り訂正符号を付加した後に変調して記録信号を生成して磁気ヘッド108に送り、逆に磁気ヘッド108によって磁気テープから再生された再生信号に対しては復調を行った後に誤り訂正処理する。

【0020】デジタルインターフェイスブロック109は、制御マイクロコンピュータ(マイコン)110の制御の元で、外部のコンピュータや他のデジタルビデオレコーダとの間で1394規格に準拠したインターフェイス用信号処理を行うブロックである。リンク(LINK)回路111は、上記マルチプレクサ／デマルチプレクサ106或いは記録再生信号処理回路107から供給された多重化データに対して1394規格のリンクレイヤと前記AVプロトコルの処理を行う。中継(PHY)回路112は、バスの初期化や使用権の調停、他の機器の信号中継などを行う。制御マイコン110は、これらリンク回路111、中継回路112のコントロールとアイソクロノス通信の帯域取得、リミテッドマネージャとしてバスの管理などを行っている。

【0021】

【発明が解決しようとする課題】ところで、上記1349規格に準拠した信号フォーマットのデジタルビデオ及びデジタルオーディオ信号のうち、特にデジタルオーディオ信号を他の信号伝送規格に準拠した信号フォーマットのデジタルオーディオ信号に変換するような要求がある場合、従来は、上記1349規格に準拠した信号フォーマットのデジタルオーディオ信号をアナロ

グオーディオ信号に変換し、さらにこのアナログオーディオ信号を、上記他の規格に準拠した信号フォーマットのデジタルオーディオ信号に再変換することが行われている。

【0022】以下の説明では、当該他の規格としてIEC958規格を例に挙げて説明する。なお、これ以降、IEC958規格は単に958規格と呼ぶことにする。また、上記1349規格に準拠した信号フォーマットのデジタルオーディオ信号を以下単に1349オーディオ信号と呼び、上記958規格に準拠した信号フォーマットのデジタルオーディオ信号を以下単に958オーディオ信号と呼ぶことにする。

【0023】何れにしても、上記1349オーディオ信号を上記958オーディオ信号に変換する場合には、上記1349オーディオ信号をアナログ信号に変換し、その後このアナログ信号をデジタル化して上記958オーディオ信号を形成することが行われる。

【0024】ここで、上記1394オーディオ信号をアナログ信号に変換する装置や、アナログオーディオ信号を958オーディオ信号に変換する装置は従来より存在し、また、これら装置を一体化した装置も存在する。しかし、何れの装置を使用したとしても、デジタルオーディオ信号を一旦アナログオーディオ信号に変換し、再度デジタルオーディオ信号に変換するようになされているため、以下のような問題が発生する。

【0025】すなわち、第1に、量子化器やその他の変換器の特性により、歪み(量子化歪み等)、ノイズなどが増加し、音質の劣化が生ずる。

【0026】第2に、D/A、A/D変換器には、それぞれ変換感度のばらつきが伴うために、例えば最大レベル(及び最大レベル付近の大レベル)の信号では過負荷歪みが発生する場合がある。上記過負荷歪みの発生を防止するには、レベル調整が必要になるか、若しくは予め感度ばらつきを見込んで信号レベルを小さめにしてA/D変換をする必要がある。しかし前者の場合は、調整のための構成を設けなければならないので装置のコスト上昇を招き、後者の場合は音質の劣化と信号レベルの低下が生ずる。

【0027】また、上述したようなD/A、A/D変換に伴う問題の他に、上記1349オーディオ信号と上記958オーディオ信号における規格上の特徴から、以下のような問題も発生する。

【0028】すなわち、上記1394オーディオ信号と958オーディオ信号には、それぞれそのサンプリング周波数が48KHz、44.1KHz、32KHzの3種類のモードがあるが、例えば上記32KHzのモードの場合、上記1394規格に準拠する信号フォーマットでは、通常のモノラルとステレオの他、ステレオS1とステレオS2のステレオ2系統からなるオーディオ4チャンネルと、いわゆる3-1ステレオと呼ばれる4チャ

ンネルオーディオ信号の伝送が可能になされているのに対し、上記958規格に準拠する信号フォーマットでは、1回線オーディオ2チャンネルまでしか伝送できない。なお、3-1ステレオとは、ステレオの左(L)チャンネル、右(R)チャンネルの他に、センタチャンネルとサラウンドチャンネルからなる方式である。また、1394オーディオ信号の場合、48KHzと44.1KHzのモードはそれぞれ16ビット2チャンネルとなされ、32KHzのモードは12ビット4チャンネルと16ビット2チャンネルがある。

【0029】上述のようなことから、上記32KHzのモードの1394オーディオ信号から958オーディオ信号を生成する場合において、上記1394オーディオ信号が上記ステレオS1とステレオS2のオーディオ4チャンネルからなるときには、当該オーディオ4チャンネルのうちのステレオS1をアナログ変換したオーディオ2チャンネルと、上記ステレオS2をアナログ変換したオーディオ2チャンネルと、上記ステレオS1、S2をそれぞれアナログ変換した後にミックスして生成したオーディオ2チャンネルの何れか一つを切選択し、その切選択結果のオーディオ2チャンネルの信号をデジタル化して上記958オーディオ信号に変換する処理が必要になり、したがって、アナログミックス回路やアナログ切選択回路が必要となる。また、上記1394オーディオ信号が3-1ステレオの場合、当該3-1ステレオの4チャンネルのデジタルオーディオ信号をそれぞれアナログ変換し、それらから演算処理によってオーディオ2チャンネルを生成し、それをさらにデジタル化して958オーディオ信号に変換する処理が必要になり、回路構成が大きくなってしまふ。

【0030】このように、1349オーディオ信号と958オーディオ信号における規格上の特徴からも、音質劣化が発生し、また回路構成も複雑化する。

【0031】そこで、本発明はこのような状況に鑑みてなされたものであり、ある信号伝送規格に準拠した信号フォーマットのデジタルオーディオ信号を他の信号伝送規格に準拠した信号フォーマットのデジタルオーディオ信号に変換する場合において、音質劣化を防止でき、さらに装置構成の大型化とコスト上昇を抑えることが可能なデジタル信号変換装置を提供することを目的とする。

【0032】

【課題を解決するための手段】本発明のデジタル信号変換装置は、第1の信号伝送規格に準拠する第1のフォーマットのデジタル信号を第2の信号伝送規格に準拠する第2のフォーマットのデジタル信号に変換するものであって、第1のフォーマットのデジタル信号に許容されている第1の許容周波数偏差内で発振する第1の発振手段と、第2のフォーマットのデジタル信号に許容されている第2の許容周波数偏差内で発振する第2の

発振手段と、第1、第2の発振手段からのクロック信号に基づいて第1のフォーマットのデジタル信号のサンプリングレートを第2のフォーマットのデジタル信号のサンプリングレートに変換するデジタル式サンプルレート変換手段と、サンプリングレート変換がなされたデジタル信号のフォーマットを第2のフォーマットに変換するフォーマット変換手段とを有することにより、上述した課題を解決する。

【0033】すなわち、本発明によれば、第1のフォーマットのデジタル信号を、アナログ化することなくデジタル信号のまま、第2のフォーマットのデジタル信号に変換するようにしているため、アナログ化及びデジタル化に起因して発生する信号劣化を防ぐことができる。

【0034】

【発明の実施の形態】以下、本発明の好ましい実施の形態について、図面を参照しながら説明する。

【0035】図1には第1の実施の形態のデジタル信号変換装置の具体的構成を示し、図2には第2の実施の形態のデジタル信号変換装置の具体的構成を示すが、本発明のデジタル信号変換動作の理解を容易にするために、これら図1、図2の構成の動作の説明に先立ち、図3～図6を用いて、本実施の形態にて扱う信号伝送規格とそれに準拠する信号フォーマットについての簡単な説明を行う。

【0036】本実施の形態では、信号伝送規格として例えば前述したIEEE1394規格とIEC958規格を例に挙げ、当該1394規格に準拠したDVフォーマットと呼ぶ信号フォーマットのデジタルオーディオ信号(1394オーディオ信号)を上記958規格に準拠した信号フォーマットのデジタルオーディオ信号(958オーディオ信号)に変換する場合の説明を行う。

【0037】前記1394オーディオ信号は、前記図10のオーディオインターリーブ/デインターリーブ回路105からマルチプレクサ/デマルチプレクサ106に伝送される信号であり、その信号フォーマットは図3に示すようになされている。

【0038】すなわち、この図3において、当該1394オーディオ信号は、シンクエリア、IDコードエリア、オーディオ補助データ(AAUX)エリア、オーディオデータエリア、アウターパリティエリア、インナーパリティエリアからなる。上記オーディオデータエリアに実際のデジタルオーディオ信号が配される。

【0039】上記オーディオデータエリアのデジタルオーディオ信号は、図4に示すように、テレビジョン標準放送方式の525/60システム(NTSC方式)と625/50システム(PAL方式)のそれぞれについて、サンプリング周波数が48KHz、44.1KHz、32KHz、32KHzの4チャンネルの各モードが存在する。また、各システムの各モードにおいては、

1フレーム当たりのサンプル数(バイト)の許容範囲が定められており、その許容範囲として約1%程度の誤差(すなわちサンプリング周波数の許容周波数偏差として約1%程度)が許されている。例えば、525/60システムの32KHz 4チャンネルモードを例に挙げると、1フレーム当たりのサンプル数(バイト)として、最大で1080サンプル(3240バイト)、最小で1053サンプル(3158バイト)、平均で1067.73サンプル(3203.2バイト)となされる。

【0040】また、上記オーディオ補助データ(AAU X)エリアは、図5に示すように複数の補助データが規定されている。これらのデータは既に規格として知られているものであるため、当該補助データのうち、本実施の形態に関係するもののみ簡単に説明する。図中のAF SIZEにて示すエリアには1フレーム中のサンプル数の情報が配され、図中AUDIO MODEにて示すエリアには前記モードを表す情報が配され、図中CHNにはチャンネルを表す情報が、図中SMPにて示すエリアにはサンプリング周波数を表す情報が、図中EFにて示すエリアにはエンファシスフラグが、図中PAにて示すエリアには前記3-1チャンネルを表す情報が、図中CGMSにて示すエリアには著作権に関する情報が配される。

【0041】次に、図6には、前記958オーディオ信号の信号フォーマットを示す。この信号フォーマットも規格として既に知られているものであるため、詳細な説明は省略するが、図中Cにて示すエリアはチャンネルステータスエリアであり、著作権の制御用の情報やカテゴリーコード、サンプリング周波数のフラグ、エンファシスフラグ等が配される。

【0042】本実施の形態のデジタル信号変換装置では、上述したような1394オーディオ信号をアナログ変換することなく、デジタル信号処理によって958オーディオ信号にデジタル信号変換する。すなわち、本実施の形態のデジタル信号変換装置では、約1%の許容範囲を有する1394オーディオ信号と、0.1%の許容範囲内(すなわちレベル2: Normal accuracy modeと呼ばれている範囲)でなければならない958オーディオ信号の両者を整合させるためのデジタル式サンプリングレート変換を行うようにしている。さらに、1394オーディオ信号の32KHzモードにおけるオーディオ4チャンネルから、ステレオS1、ステレオS2、ステレオS1とS2のデジタルミックス(ミックス比可変)の何れかを選択して958オーディオ信号の1回線2チャンネルのオーディオ信号へデジタル信号変換する処理、或いは、1394オーディオ信号の3-1ステレオの4チャンネルから、ステレオ2チャンネルへのデジタル信号変換を行って958オーディオ信号の1回線2チャンネルのオーディオ信号を生成する処理を行っている。

【0043】先ず、図1に示す第1の実施の形態のデジタル信号変換装置から説明する。この図1に示す第1の実施の形態のデジタル信号変換装置では、主に1394オーディオ信号を958オーディオ信号にデジタル式サンプルレート変換するための構成の説明を行う。なお、この図1には、前記サンプリング周波数のモードとして48KHzに対応する例を挙げており、必要に応じて他のモードの説明も行う。

【0044】この図1において、端子1には外部から入力された前記1394オーディオ信号、或いはデジタルビデオレコーダにてテープから再生されたオーディオ信号が供給され、また、端子10には29.97Hzのフレーム基準信号(ビデオ信号のフレーム)が供給される。

【0045】上記1394オーディオ信号は、オーディオ信号処理回路2のデインターリーブ回路13と制御信号復調回路14並びに分周器17に送られる。上記デインターリーブ回路13では、上記1394オーディオ信号に対してデインターリーブ処理や誤り訂正処理等を施し、その後、補間フィルタ3に送る。また、制御信号復調回路14では、上記1394オーディオ信号に付加されている前記図5に示したような各種コード情報を復調し、マイクロコンピュータ(マイコン)12に送る。

【0046】上記補間フィルタ3は、上記デインターリーブ処理されて誤り訂正処理された後のオーディオ信号に、データの欠落等のエラーが存在するときに、例えばラグランジェの多項式による高次のデジタル補間を行うものである。この補間フィルタ3から出力されたデジタルオーディオ信号は、サンプルレートコンバータ4とD/Aコンバータ7に送られることになる。

【0047】当該サンプルレートコンバータ4は、前記1394オーディオ信号の用のクロック(以下1394系クロック信号と呼ぶ)にて動作する1394レート変換部4aと、前記958オーディオ信号用のクロック(以下958系クロック信号と呼ぶ)にて動作する958レート変換部4bとからなり、後述するようにして生成される各1394系クロック信号及び958系クロック信号に基づいて、前記1394オーディオ信号のサンプリングレートを前記958オーディオ信号のサンプリングレートに変換するものである。

【0048】このサンプルレートコンバータ4にて変換された958系クロック信号に基づくデジタルオーディオ信号は、信号処理回路5に送られる。当該信号処理回路5は、958系クロック信号の基づいて、オーディオ信号を958規格に準拠した信号フォーマットのデジタルオーディオ信号を生成すると共に、マイクロコンピュータ(マイコン)12からの前記図6に示したような958オーディオ信号用の各種のコード情報等を付加し、さらに光伝送のための光変調処理を施して端子6に送る。この端子6は、光ケーブルが接続され、したがっ

て、上記958オーディオ信号は当該光ケーブルを介して伝送される。

【0049】マイクロコンピュータ12は、オーディオ信号処理回路2の制御信号復調回路14から供給された上記1394オーディオ信号の各種コード情報に基づいて、上記958オーディオ信号用の各種コード情報を生成し、上記信号処理回路5に送る。

【0050】なお、上記D/Aコンバータ7では上記補間フィルタ3から供給されたオーディオ信号をアナログ変換する。このD/Aコンバータ7にてアナログ変換された左(L)チャンネルのオーディオ信号は端子8から、右(R)チャンネルのオーディオ信号は端子9から出力される。

【0051】上述した経路はオーディオ信号のレート変換のための主要構成であり、次に上記1394系クロック信号と958系クロック信号の生成のための経路及び構成を説明する。

【0052】端子10に供給されたフレーム基準信号は、第1の発振回路11に入力される。この第1の発振回路11は、上記フレーム基準信号が一方の入力端子に入力される位相比較器18と、電圧制御発振器20、及び外付けの積分回路21を主要構成要素として有するPLL (Phase-Locked Loop) 回路であり、上記電圧制御発振器20にて例えば49.152MHz \pm 1% (前記48KHzモードのとき) 或いは45.158MHz \pm 1% (前記44KHzモードのとき) の第1のクロック信号を生成する。この第1のクロック信号は、分周器19にて1/4 (又は1/6) に分周される。なお、分周器19における1/6分周は前記32KHzモードに対応するときに使用される。当該第1の発振回路11の分周器19にて1/4分周された第1のクロック信号は前記1394系クロック信号として、上記サンプルレートコンバータ4の1394レート変換部4aとD/Aコンバータ7及び前記オーディオ信号処理回路2に送られる。

【0053】上記オーディオ信号処理回路2に送られた上記1/4分周された第1のクロック信号は、当該オーディオ信号処理回路2内の分周器15に送られ、さらに1/4分周される。この分周器15の出力クロック信号は、補間フィルタ3とサンプルレートコンバータ4の1394レート変換部4a、D/Aコンバータ7に送られると共に、当該オーディオ信号処理回路2内の分周器16に送られて1/64分周された後、上記分周器17に送られる。当該分周器17は、前記図4に示したサンプル数をNとした1/N分周器である。したがって、前記第1のクロック信号の周波数が49.152MHzのとき、この分周器17からは上記フレーム基準信号と略々同じ周波数の信号が取り出されることになる。当該分周器17の出力信号が前記第1の発振回路11の位相比較器18の他方の入力端子に供給され、これにより当該第

1の発振回路11では上記1394オーディオ信号に位相同期した第1のクロック信号が生成される。

【0054】ここで、前記補間フィルタ3には、第2の発振回路26が併設されている。当該第2の発振回路26は水晶発振器を用いた高精度発振回路であり、IEC958規格の出力系クロック(958系クロック信号)として49.158MHzの第2のクロック信号を発生するものである。この第2のクロック信号は、分周器22に送られて1/2分周 (或いは1/3分周) された後、サンプルレートコンバータ4の958レート変換部4b内の分周器23に送られる。なお、分周器22における1/3分周はサンプリング周波数が32KHzのモードに対応する。

【0055】サンプルレートコンバータ4の分周器23では、上記分周器22からの出力信号をさらに1/2分周し、その出力信号を分周器25に送る。当該分周器25も1/2分周器であり、その1/2分周出力が信号処理回路5の分周器24に送られる。当該信号処理回路5の分周器24の分周出力は、サンプルレートコンバータ4の958レート変換部4bに送られる。

【0056】次に、図2に示す第2の実施の形態のデジタル信号変換装置の説明を行う。この第2の実施の形態のデジタル信号変換装置では、前記1394オーディオ信号の32KHzモードにおけるオーディオ4チャンネルから、ステレオS1、ステレオS2、ステレオS1とS2のデジタルミックス (ミックス比可変) の何れかを選択して958オーディオ信号の1回線2チャンネルのオーディオ信号へデジタル変換する処理、或いは、1394オーディオ信号の3-1ステレオの4チャンネルから、ステレオ2チャンネルへのデジタル変換を行って958オーディオ信号の1回線2チャンネルのオーディオ信号を生成するための構成を説明する。

【0057】この図2において、端子31には外部から32KHzモードの1394オーディオ信号が供給され、また、端子10には29.97Hzのフレーム基準信号 (ビデオ信号のフレーム) が供給される。

【0058】上記1394オーディオ信号は、オーディオ信号処理回路32のデインターリーブ回路43、44と制御信号復調回路47並びに分周器51に送られる。上記デインターリーブ回路43、44では、上記1394オーディオ信号に対してデインターリーブ処理や誤り訂正処理等を施し、その後、デジタルミックス回路45及びデジタル切換回路46に送られる。なお、デインターリーブ回路43は、1394オーディオ信号のうち、前記ステレオS1のオーディオ信号についての処理を担当し、デインターリーブ回路44は、前記ステレオS2のオーディオ信号についての処理を担当する。また、3-1ステレオ処理回路48は、上記デインターリーブ回路43、44のデジタルオーディオ信号から3-1ステレオのオーディオ信号を生成し、さらにこの3

ー1ステレオの4チャンネルからオーディオ2チャンネルの信号を生成してデジタル切替回路46に送る。したがって、当該デジタル切替回路46の4つの被切替端子には、上記デインターリーブ回路43、44にて処理された各デジタルオーディオ信号と、上記デインターリーブ回路43、44からのデジタルオーディオ信号をデジタルミックス回路45がミックス比可変にてミックスしたミックスデジタルオーディオ信号と、上記3-1ステレオ処理回路48からのオーディオ2チャンネルの信号とが供給される。なお、上記デジタルミックス回路45におけるミックス可変量とデジタル切替回路46における切り換えは、マイクロコンピュータ42が自動的に切替制御する場合と、当該デジタル信号変換装置が適用される例えばデジタルビデオレコーダの可変ボリューム或いは切替スイッチと連動してユーザが手動により操作する場合が考えられる。

【0059】また、オーディオ信号処理回路32の制御信号復調回路14では、上記1394オーディオ信号に付加されている前記図5に示したような1394オーディオ信号用の各種コード情報を復調し、マイクロコンピュータ(マイコン)42に送る。

【0060】上記オーディオ信号処理回路32のデジタル切替回路46にて切替選択されたデジタルオーディオ信号は、補間フィルタ33に送られる。当該補間フィルタ33は、前記図1の補間フィルタ3と基本的に同じものであり、供給されたオーディオ信号にデータの欠落等のエラーが存在するとき、例えばラグランジェの多項式による高次のデジタル補間を行うものである。この補間フィルタ33から出力されたデジタルオーディオ信号は、サンプルレートコンバータ34とD/Aコンバータ37に送られることになる。

【0061】当該サンプルレートコンバータ34も、前記図1のものと同様であり、前記1394オーディオ信号の用のクロック(1394系クロック信号)にて動作する1394レート変換部34aと、前記958オーディオ信号用のクロック(958系クロック信号)にて動作する958レート変換部34bとからなり、後述するようにして生成される各1394系クロック信号及び958系クロック信号に基づいて、前記1394オーディオ信号のサンプリングレートを前記958オーディオ信号のサンプリングレートに変換するものである。

【0062】このサンプルレートコンバータ34にて変換された958系クロック信号に基づくデジタルオーディオ信号は、信号処理回路35に送られる。当該信号処理回路35も前記図1と同様であり、958系クロック信号に基づいて、オーディオ信号を958規格に準拠した信号フォーマットのデジタルオーディオ信号を生成すると共に、マイクロコンピュータ42からの前記図6に示したような958オーディオ信号用の各種のコード情報等を付加し、さらに光伝送のための光変調処理を

施して端子36に送る。この端子36は、光ケーブルが接続され、したがって、上記958オーディオ信号は当該光ケーブルを介して伝送される。

【0063】マイクロコンピュータ42も前記図1と同様であり、オーディオ信号処理回路32の制御信号復調回路47から供給された上記1394オーディオ信号の各種コード情報に基づいて、上記958オーディオ信号用の各種コード情報を生成し、上記信号処理回路35に送る。

【0064】また、上記D/Aコンバータ37では上記補間フィルタ33から供給されたオーディオ信号をアナログ変換する。このD/Aコンバータ7にてアナログ変換された左(L)チャンネルのオーディオ信号は端子38から、右(R)チャンネルのオーディオ信号は端子39から出力される。

【0065】次に、この第2の実施の形態の構成における上記1394系クロック信号と958系クロック信号の生成のための経路及び構成を説明する。

【0066】端子40に供給されたフレーム基準信号は、第1の発振回路41に入力される。また、この第1の発振回路41は、上記フレーム基準信号が一方の入力端子に入力される位相比較器58と、電圧制御発振器60、及び外付けの積分回路61を主要構成要素として有するPLL回路であり、上記電圧制御発振器60にて49.152MHz \pm 1%の第1のクロック信号を生成する。なお、この第2の実施の形態においては、32KHzモードを例に挙げているが、この第1の発振回路41では49.152MHzを使用しており、この周波数を分周器59にて1/6分周することで、新たに32KHzモード用の発振回路を付加しなくても良いようにしている。当該第1の発振回路41の分周器59にて1/6分周された第1のクロック信号は前記1394系クロック信号として、上記サンプルレートコンバータ34の1394レート変換部34aとD/Aコンバータ37及び前記オーディオ信号処理回路32に送られる。

【0067】上記オーディオ信号処理回路32に送られた上記1/4分周された第1のクロック信号は、当該オーディオ信号処理回路32内の分周器49に送られ、さらに1/4分周される。この分周器49の出力クロック信号は、補間フィルタ33とサンプルレートコンバータ34の1394レート変換部34a、D/Aコンバータ37に送られると共に、当該オーディオ信号処理回路32内の分周器506に送られて1/64分周された後、上記分周器51に送られる。当該分周器51は、前記図4に示したサンプル数をNとした1/N分周器である。したがって、前記第1のクロック信号の周波数が49.152MHzのとき、この分周器51からは上記フレーム基準信号と略々同じ周波数の信号が取り出されることになる。当該分周器51の出力信号が前記第1の発振回路41の位相比較器58の他方の入力端子に供給され、

これにより当該第1の発振回路41では上記1394オーディオ信号に位相同期した第1のクロック信号が生成される。

【0068】また、この第2の実施の形態においても、前記補間フィルタ33には、第2の発振回路56が併設されている。当該第2の発振回路56は水晶発振器を用いた高精度発振回路であり、IEC958規格の出力系クロック(958系クロック信号)として49.158MHzの第2のクロック信号を発生するものである。この第2のクロック信号は、分周器52に送られて1/3分周された後、サンプルレートコンバータ34の958レート変換部34b内の分周器53に送られる。

【0069】サンプルレートコンバータ4の分周器53では、上記分周器52からの出力信号をさらに1/2分周し、その出力信号を分周器55に送る。当該分周器55も1/2分周器であり、その1/2分周出力が信号処理回路35の分周器54に送られる。当該信号処理回路35の分周器54の分周出力は、サンプルレートコンバータ34の958レート変換部34bに送られる。

【0070】さらに、上述した第2の実施の形態の構成を2系統分用意(例えば図2の構成を2つ用意)し、これら2系統の構成のうち、例えば一方の構成においてオーディオ信号処理回路32内のステレオS1用デインターリーブ回路43を選択し、他方の構成においてオーディオ信号処理回路32内のステレオS2用デインターリーブ回路44を選択するようなことも可能である。このように第2の実施の形態の構成の2系統化により、958オーディオ信号の4チャンネル出力及びアナログオーディオ信号の4チャンネル出力が可能になる。

【0071】なお、上述した第1、第2の実施の形態では、第2の発振回路をそれぞれ補間フィルタに併設しているが、必ずしも併設する必要はなく、別個に設けることも、また他の構成要素に併設することも可能である。

【0072】また、上述した実施の形態では、1394規格と958規格を例に挙げているが、本発明はこれらに限らず、各種の規格に適用できる。逆に、958規格から1394規格への変換も本発明を適用すれば実現可能である。

【0073】さらに、上述の実施の形態では、サンプリング周波数のモードとして3種類を挙げたが、本発明はこれに限らず、2種類や4種類以上のモードであっても適用できる。

【0074】上述したように、本発明実施の形態のデジタル信号変換装置においては、1394オーディオ信号を958オーディオ信号に良好にデジタル信号変換できるため、音質劣化が殆どなく、また、複数のモードの切り換えを自動的に切り換えることもでき、例えば32KHzモードのオーディオ4チャンネルをミックス比可変にてデジタルミックスすることも可能である。また、本実施の形態によれば、オーディオ信号レベルの変

化や、ばらつきも無く、誤り訂正処理後のデータの補間も自動的にできるので、エラーがわからず、聴感上殆ど気にならない音質を得ることができる。さらに、本実施の形態では光ケーブルにオーディオ信号を出力するため、例えばデジタルビデオレコーダにおいてビデオ信号処理系と電氣的に分離でき、したがって、グラントレベル変動によるノイズがオーディオ信号に発生する虞もない。その他、本実施の形態では、前記第2の発振回路26の水晶発振器を49.158MHz1個のみとし、例えば44KHzモードのときのクロック信号はこの水晶発振器からの出力を分周して生成するようにしているため、高価な水晶発振器を1個に節約できるようになっている。

【0075】

【発明の効果】以上の説明で明らかなように、本発明のデジタル信号変換装置においては、第1のフォーマットのデジタル信号に許容されている第1の許容周波数偏差内で発振する第1の発振手段と第2のフォーマットのデジタル信号に許容されている第2の許容周波数偏差内で発振する第2の発振手段からのクロック信号に基づいて、第1のフォーマットのデジタル信号のサンプリングレートを第2のフォーマットのデジタル信号のサンプリングレートに変換するデジタル式サンプルレート変換手段と、サンプリングレート変換がなされたデジタル信号のフォーマットを第2のフォーマットに変換するフォーマット変換手段とを有することにより、第1の信号伝送規格に準拠した第1のフォーマットのデジタル信号を第2の信号伝送規格に準拠した第2のフォーマットのデジタル信号にしても、信号の品質劣化を防止でき、さらに装置構成の大型化とコスト上昇を抑えることも可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のデジタル信号変換装置の概略構成を示すブロック回路図である。

【図2】本発明の第2の実施の形態のデジタル信号変換装置の概略構成を示すブロック回路図である。

【図3】IEEE1394規格に準拠するオーディオ信号のフォーマット説明に用いる図である。

【図4】サンプリング周波数の違いによるモードの説明に用いる図である。

【図5】オーディオ補助データ(コード情報)の説明に用いる図である。

【図6】IEC958規格に準拠するオーディオ信号のフォーマット説明に用いる図である。

【図7】IEEE1394規格に準拠する信号フォーマットにおける1ビデオフレームのデータ構造の説明に用いる図である。

【図8】IEEE1394規格に準拠する信号フォーマットにおけるパケット構造の説明に用いる図である。

【図9】IEEE1394規格に準拠する信号フォーマット

ットにおけるフレーム同期の説明に用いる図である。

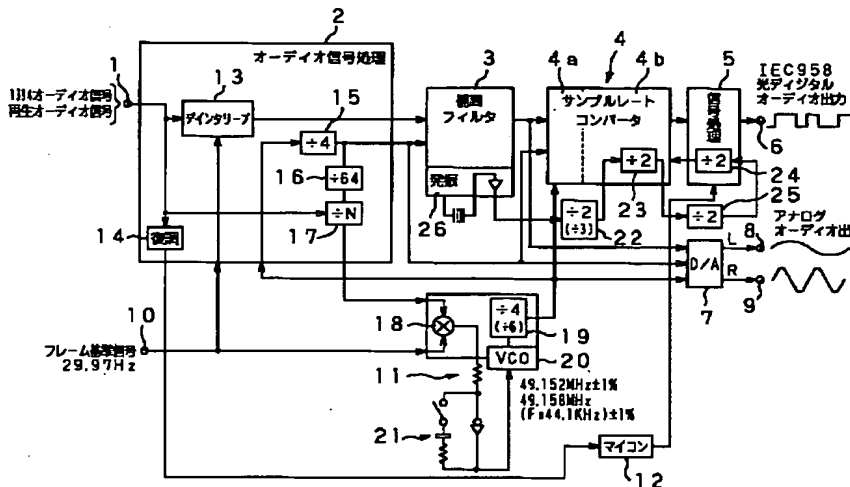
【図10】IEEE1394規格に準拠する信号フォーマットのデジタルビデオ信号及びデジタルオーディオ信号を記録再生するデジタルビデオレコーダの概略構成を示すブロック回路図である。

【符号の説明】

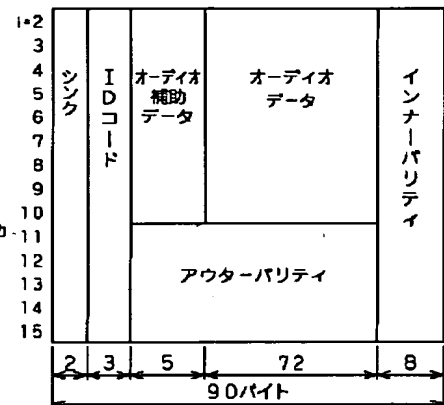
2, 32 オーディオ信号処理回路、 3, 33 補間フィルタ、 4, 34 サンプルレートコンバータ、 5, 35 信号処理回路、 6, 36 VD端子、

7, 37 D/Aコンバータ、 11, 41 第1の発振回路、 12, 42 マイクロコンピュータ、 13, 43, 44 デインターリーブ回路、 14, 47 制御信号復調回路、 15, 16, 17, 19, 22, 23, 24, 25, 49, 50, 51, 52, 53, 54, 55, 59 分周器、 18, 58 位相比較器、 20, 60 電圧制御発振器、 21, 61 積分回路、 26, 56 第2の発振回路、 48 3-1ステレオ処理回路

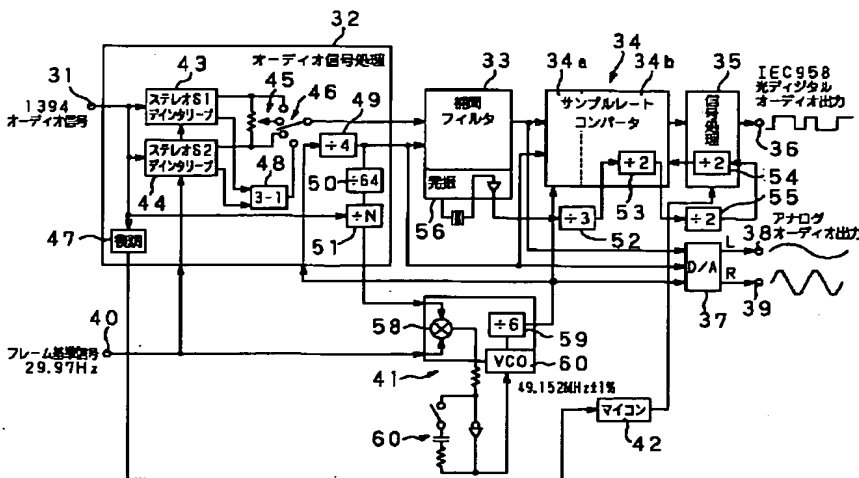
【図1】



【図3】



【図2】



【図 4】

モード		サンプル(バイト)/フレーム		
		最大	最小	平均
525/60 システム	48kモード	1620(3240)	1580(3160)	1601.6(3203.2)
	44.1kモード	1489(2978)	1452(2904)	1471.47(2942.94)
	32kモード	1080(2160)	1053(2106)	1057.73(2135.47)
	32k-4chモード	1080(3240)	1053(3159)	1067.73(3203.2)
625/50 システム	48kモード	1944(3888)	1896(3792)	1920(3840)
	44.1kモード	1786(3572)	1742(3484)	1764(3528)
	32kモード	1296(2592)	1264(2528)	1280(2560)
	32k-4chモード	1296(3888)	1264(3792)	1280(3840)

【図 5】

AAUX 0 SOURCE

PC0	0	1	0	1	0	0	0	0
PC1	LF	1	AF SIZE					
PC2	SM	CHN	PA	AUDIO MODE				
PC3	1	ML	50/60	STYPE				
PC4	EF	TC	SMP			QU		

AAUX 4 SINARY GROUP

PC0	0	1	0	1	0	1	0	0
PC1	BINARY GROUP 2				BINARY GROUP 1			
PC2	BINARY GROUP 4				BINARY GROUP 3			
PC3	BINARY GROUP 6				BINARY GROUP 5			
PC4	BINARY GROUP 8				BINARY GROUP 7			

AAUX 1 SOURCE CONTROL

PC0	0		1		0		1		0		0		0		1	
PC1	CGMS				ISR				CMP				SS			
PC2	REC ST		REC END		REC MODE						INSERT CH					
PC3	DRF		SPEED													
PC4	1		GENRE CATEGORY													

AAUX 5 CLOSED CAPTION

PC0	0	1	0	1	0	1	0	1
PC1	1	1	MAIN AUDIO LANGUAGE			MAIN AUDIO TYPE		
PC2	1	1	SECOND AUDIO LANGUAGE			SECOND AUDIO TYPE		
PC3	1	1	1	1	1	1	1	1
PC4	1	1	1	1	1	1	1	1

AAUX 2 REC DATE

PC0	0	1	0	1	0	0	1	0
PC1	DS	TM	TIME ZONE +00 -02		TIME ZONE -02			
PC2	1	1	DAY +00 -02		DAY -02			
PC3	WEEK		MONTH +00 -02		MONTH -02			
PC4	YEAR +00 -02			YEAR -02				

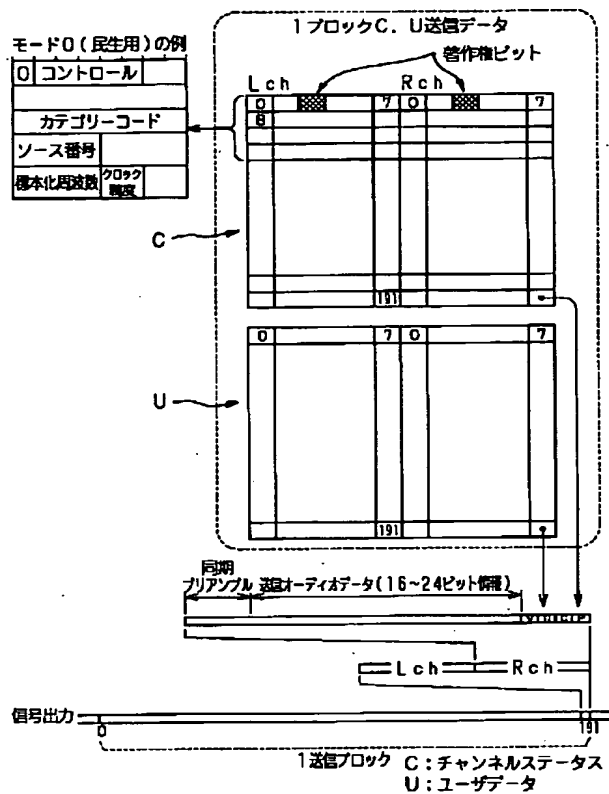
AAUX 6 TR:Transparent

PC0	0	1	0	1	0	1	1	0
PC1					LSB	DATA TYPE		
PC2								
PC3	DATA							
PC4	MSB							

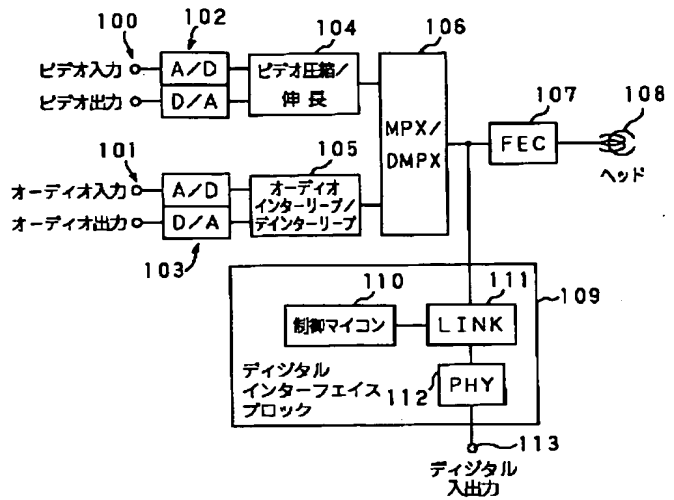
AAUX 3 REC TIME

PC0	0	1	0	1	0	0	1	1
PC1	S2	S1	FRAMES <small>+00 -02</small>		FRAMES <small>-02</small>			
PC2	S3	SECONDS <small>+00 -02</small>		SECONDS <small>-02</small>				
PC3	S4	MINUTES <small>+00 -02</small>		MINUTES <small>-02</small>				
PC4	S6	S5	HOURS <small>+00 -02</small>		HOURS <small>-02</small>			

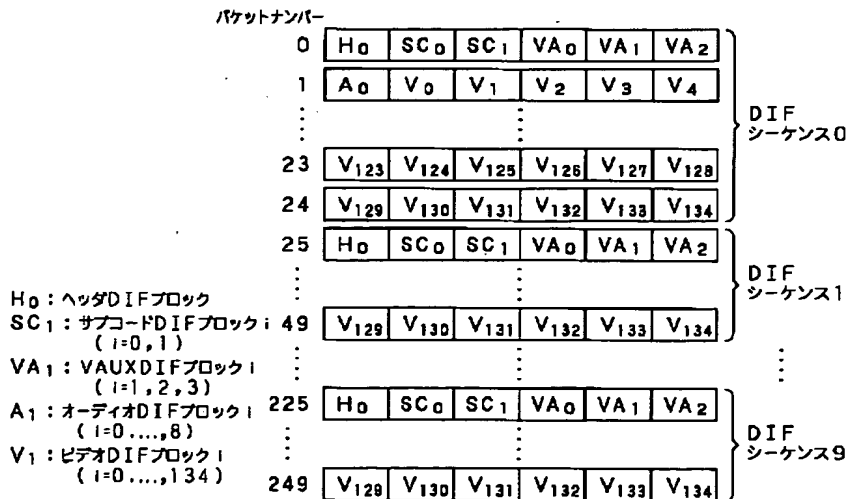
【図6】



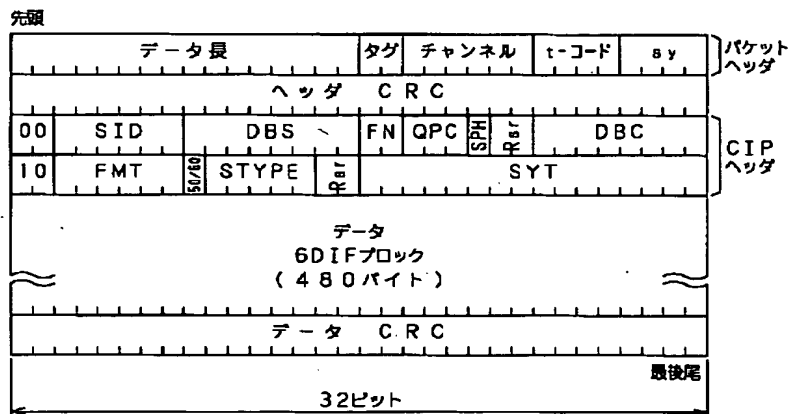
【図10】



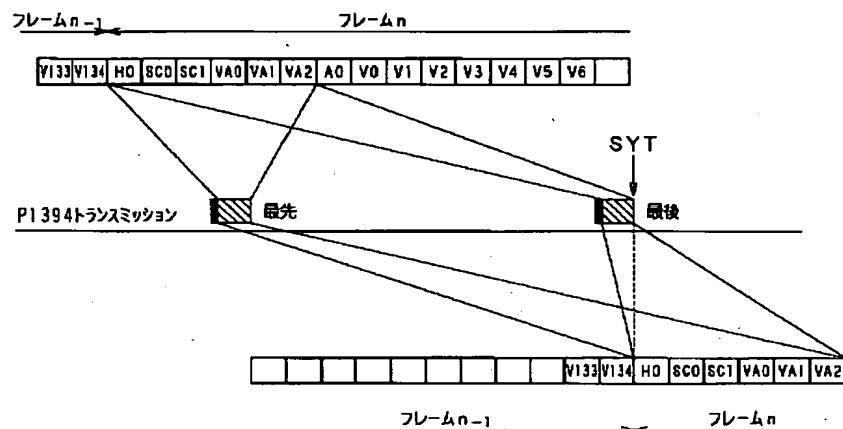
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成9年11月27日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】上記オーディオデータエリアのデジタルオーディオ信号は、図4に示すように、テレビジョン標準放送方式の525/60システム（NTSC方式）と625/50システム（PAL方式）のそれぞれについて、サンプリング周波数が48KHz、44.1KHz、32KHz、32KHzの4チャンネルの各モードが存在する。また、各システムの各モードにおいては、1フレーム当たりのサンプル数（バイト）の許容範囲が

定められており、その許容範囲として約1%程度の誤差（すなわちサンプリング周波数の許容周波数偏差として約1%程度）が許されている。例えば、525/60システムの32KHz4チャンネルモードを例に挙げると、1フレーム当たりのサンプル数（バイト）として、最大で1080サンプル（3240バイト）、最小で1053サンプル（3159バイト）、平均で1067.73サンプル（3203.2バイト）となされる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】この図2において、端子31には外部から

32KHzモードの1394オーディオ信号が供給され、また、端子40には29.97Hzのフレーム基準信号（ビデオ信号のフレーム）が供給される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正内容】

【0059】また、オーディオ信号処理回路32の制御信号復調回路47では、上記1394オーディオ信号に付加されている前記図5に示したような1394オーディオ信号用の各種コード情報を復調し、マイクロコンピュータ（マイコン）42に送る。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正内容】

【0067】上記オーディオ信号処理回路32に送られた上記1/4分周された第1のクロック信号は、当該オーディオ信号処理回路32内の分周器49に送られ、さらに1/4分周される。この分周器49の出力クロック信号は、補間フィルタ33とサンプルレートコンバータ34の1394レート変換部34a、D/Aコンバータ37に送られると共に、当該オーディオ信号処理回路32内の分周器50に送られて1/64分周された後、上記分周器51に送られる。当該分周器51は、前記図4に示したサンプル数をNとした1/N分周器である。したがって、前記第1のクロック信号の周波数が49.152MHzのとき、この分周器51からは上記フレーム基準信号と略々同じ周波数の信号が取り出されることになる。当該分周器51の出力信号が前記第1の発振回路41の位相比較器58の他方の入力端子に供給され、これにより当該第1の発振回路41では上記1394オーディオ信号に位相同期した第1のクロック信号が生成される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正内容】

【0074】上述したように、本発明実施の形態のデジタル信号変換装置においては、1394オーディオ信号を958オーディオ信号に良好にデジタル信号変換

できるため、音質劣化が殆どなく、また、複数のモードの切り換えを自動的に切り換えることもでき、例えば32KHzモードのオーディオ4チャンネルをミックス比可変にてデジタルミックスすることも可能である。また、本実施の形態によれば、オーディオ信号レベルの変化や、ばらつきも無く、誤り訂正処理後のデータの補間も自動的にできるので、エラーがわからず、聴感上殆ど気にならない音質を得ることができる。さらに、本実施の形態では光ケーブルにオーディオ信号を出力するため、例えばデジタルビデオレコーダにおいてビデオ信号処理系と電気的に分離でき、したがって、グラントレレベル変動によるノイズがオーディオ信号に発生する虞もない。その他、本実施の形態では、前記第2の発振回路26の水晶発振器を49.158MHz1個のみとし、例えば入力のサンプリング周波数が44KHzモードのときにおいてもクロック信号はこの水晶発振器からの出力を分周して生成するようにしているため、高価な水晶発振器を1個に節約できるようになっている。この場合、サンプリング周波数を表すコード情報も、48KHzに対応したコードに書き換えて出力している。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

2, 32 オーディオ信号処理回路、 3, 33 補間フィルタ、 4, 34 サンプルレートコンバータ、 5, 35 信号処理回路、 6, 36 IEC958規格出力端子、 7, 37 D/Aコンバータ、 11, 41 第1の発振回路、 12, 42 マイクロコンピュータ、 13, 43, 44 デインターリーブ回路、 14, 47 制御信号復調回路、 15, 16, 17, 19, 22, 23, 24, 25, 49, 50, 51, 52, 53, 54, 55, 59分周器、 18, 58 位相比較器、 20, 60 電圧制御発振器、 21, 61 積分回路、 26, 56 第2の発振回路、 48 3-1ステレオ処理回路

【手続補正7】

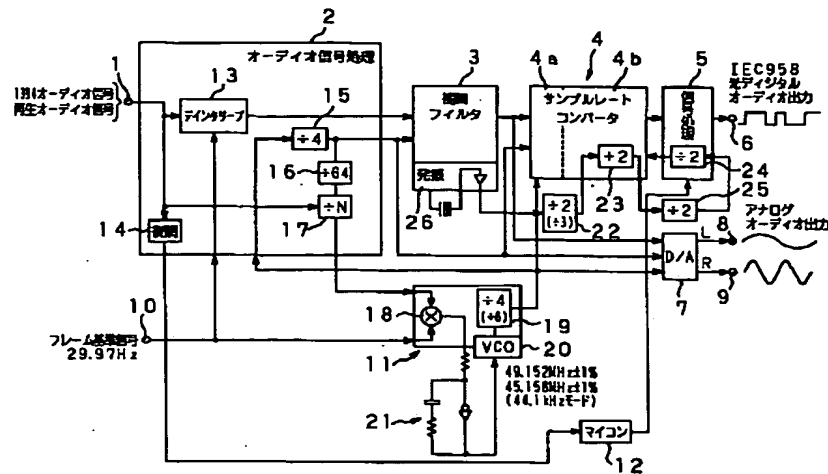
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正8】

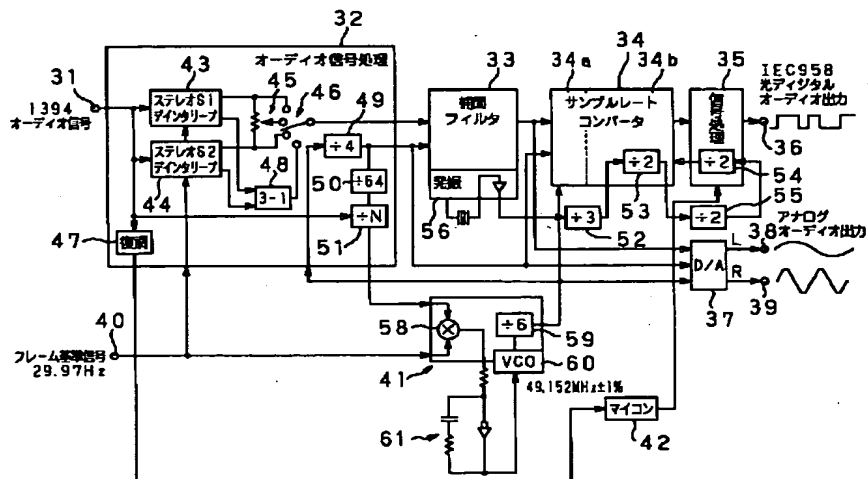
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正9】

【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】

AAUX 0 SOURCE

PC0	0	1	0	1	0	0	0	0
PC1	LF	1	AF SIZE					
PC2	SM	CHN	PA	AUDIO MODE				
PC3	1	ML	50/60	STYPE				
PC4	EF	TC	SMP			QU		

AAUX 4 BINARY GROUP

PC0	0	1	0	1	0	1	0	0
PC1	BINARY GROUP 2				BINARY GROUP 1			
PC2	BINARY GROUP 4				BINARY GROUP 3			
PC3	BINARY GROUP 6				BINARY GROUP 5			
PC4	BINARY GROUP 8				BINARY GROUP 7			

AAUX 1 SOURCE CONTROL

PC0	0	1	0	1	0	0	0	1
PC1	CGMS		ISR		CMP		SS	
PC2	REC ST	REC END	REC MODE			INSERT CH		
PC3	DRF		SPEED					
PC4	1		GENRE CATEGORY					

AAUX 5 CLOSED CAPTION

PC0	0	1	0	1	0	1	0	1
PC1	1	1	MAIN AUDIO LANGUAGE			MAIN AUDIO TYPE		
PC2	1	1	SECOND AUDIO LANGUAGE			SECOND AUDIO TYPE		
PC3	1	1	1	1	1	1	1	1
PC4	1	1	1	1	1	1	1	1

AAUX 2 REC DATE

PC0								
0	1	0	1	0	0	1	0	
PC1	DS	TM	TIME ZONE			TIME ZONE		
			TON			ON		
PC2	1	1	DAY			DAY		
			TON			ON		
PC3	WEEK			MONTH		MONTH		
			TON		ON			
PC4	YEAR					YEAR		
			TON		ON			

AAUX 6 TR:Transparent

PC0	0	1	0	1	0	1	1	0
PC1					155	DATA TYPE		
PC2	DATA							
PC3	DATA							
PC4	151							

AAUX 3 REC TIME

ADDRESS REGISTER								
PC0	0	1	0	1	0	0	1	1
PC1	S2	S1	FRAMES -001		FRAMES -001			
PC2	S3	SECONDS -001		SECONDS -001				
PC3	S4	MINUTES -001		MINUTES -001				
PC4	S6	S5	HOURS -001		HOURS -001			

【手続補正10】

【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】

